

# Relatório do projecto de SDR

Universidade de Aveiro  
DETI

**Construir uma placa de extensão  
da placa DETIUA que pode ser  
usada como uma calculadora,  
divisão e resto de divisão para  
inteiros de 10 bits**

Dezembro de 2006

*Cátia Ferreira*

*27880*

## 1. Objectivos

Este projecto tem como objectivo construir uma placa calculadora que possa ser utilizada como placa de expansão da placa DETIUA. Esta placa de extensão tem que realizar a operação de divisão e resto da divisão inteira de inteiros com 10 bits através da FPGA *Spartan 3*. É também objectivo deste projecto implementar o respectivo código em VHDL que permita mostrar o funcionamento da placa.

## 2. Etapas do projecto

O trabalho tem como principais etapas o projecto do circuito eléctrico capaz de fornecer à FPGA os operandos das operações a realizar e um modo de visualização do resultado. Depois de feito o circuito eléctrico é necessário criar o *layout* da respectiva placa e colocar os componentes na placa. De seguida procede-se à parte de *software*, onde se realiza o programa e *constraints file* necessário para verificar o funcionamento da placa.

O material necessário para fazer a divisão e resto da divisão inteira em inteiros de 10 bits foram dois *dipswitchs* de 10 bits (operandos), um *dipswitch* de 2 bits e dez *leds* (resultado) para se obter a visualização dos operandos e resultado.

O circuito eléctrico, realizado em *CaptureCis*, fornece a alimentação e a interligação entre a FPGA e a placa calculadora.

O *layout* da placa foi desenvolvido aquando terminada a fase de desenvolvimento do circuito eléctrico e foi nesta fase que foi decidido o lugar dos componentes na placa calculadora e a realização das pistas necessárias.

Na realização do esquemático atendeu-se ao facto de a alimentação disponível ser 3,3V e de a corrente máxima disponibilizada pela placa DETIUA ser de 300mA.

## 3. Esquemático

O valor das resistências de *pull-down* dos *leds* é de  $1K\Omega$ , sendo cada *led* percorrido por 1,5mA de corrente, o valor das resistências de *pull-down* dos *dipswitch* é de  $3,3k\Omega$ . Assume-se no projecto nos *dipswitchs* que o valor lógico '1' é quando estes se encontram colocados para cima e o valor lógico '0' quando se encontram para baixo.

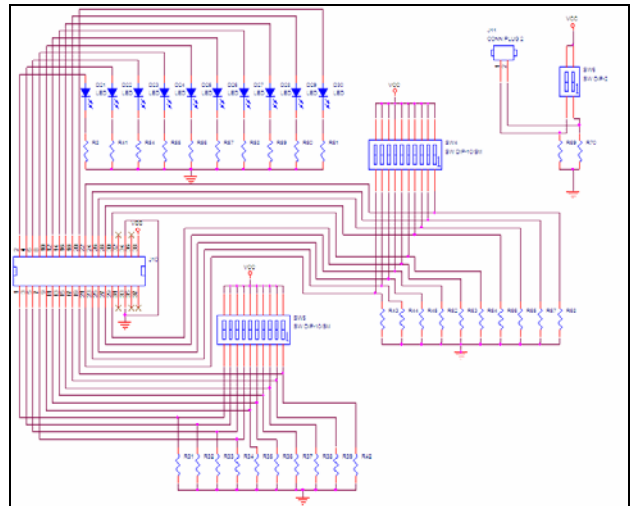


Figura 1: Circuito eléctrico da placa calculadora

## 4. Layout da placa

O *Layout* da placa calculadora foi feito no programa *Orcad-Layout*. A figura 2 tem o *layout* completo, a figura 3 tem o *layout* da parte de top (pistas verdes) e a figura 4 contém o *layout* de *bottom* (pistas vermelhas).

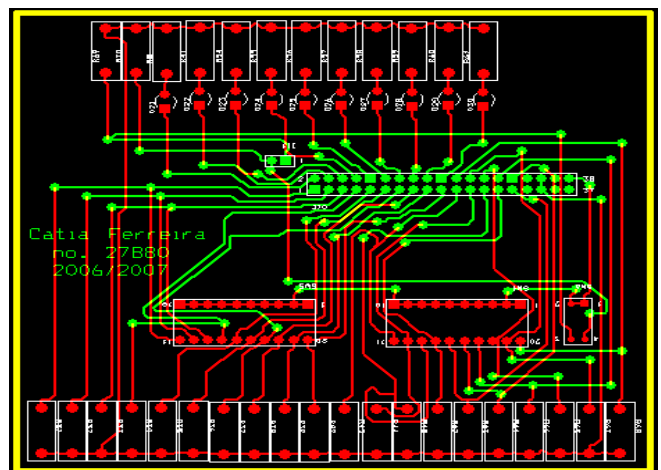


Figura 2: Layout do *bottom* e top

## 5. Máquina de estados do programa em VHDL

Para realizar a operação de divisão e resto da divisão inteira utilizou-se uma máquina de estados que transita de estados com as transições ascendentes do sinal de relógio, garantindo que cada estado se realiza num ciclo de relógio.

O estado inicialização faz a inicialização da máquina de estados permitindo que ao colocar os operandos pretendidos nos *dipswitchs* e o

valor lógico '0' no sinal reset se despolette o funcionamento da máquina de estados.

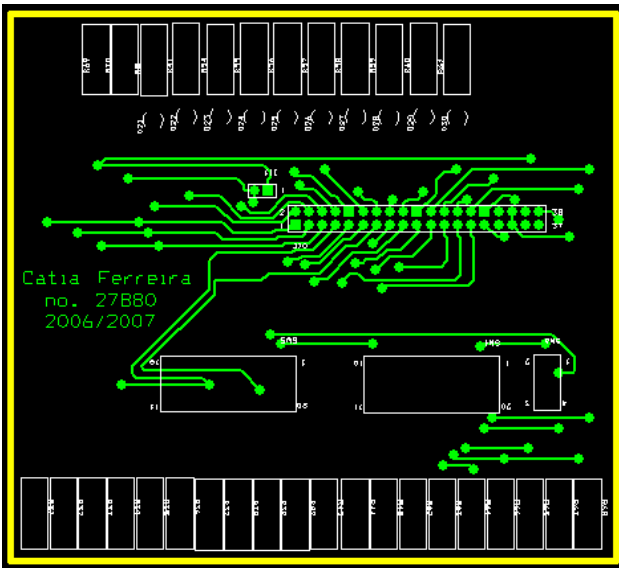


Figura 3: Top Layout

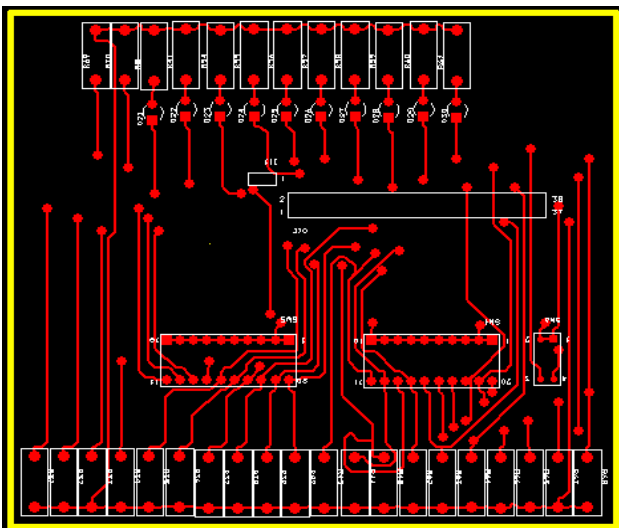


Figura 4: Top Layout

Colocando o valor dos operandos nos *dipswitchs* e forçando o início da máquina de estados esta transita para o estado Sdivide. Neste estado faz-se o algoritmo da divisão da “escola primária”, somando ao quociente uma unidade sempre que a diferença entre o dividendo e o divisor é maior ou igual a zero. Ao atingir o número de ciclos suficientes para realizar a operação transita-se para o próximo estado.

No estado Sdivide já se obtém o valor correcto do quociente.

O resto é calculado através da fórmula seguinte,

$$\text{Resto} = \text{dividendo} - \text{quociente} * \text{divisor}$$

No estado Sresto1 calcula-se o produto do quociente e divisor, e no estado Sresto2 calcula-se a diferença entre o dividendo e o produto anterior.

```
when Sdivide =>
if( count < "1111111111" ) then
  if ((dividendo >= divisor)
    and (divisor /= "000000000" ) ) then
    dividendo <= dividendo - divisor;
    quociente <= quociente + "0000000001";
  end if;
  count <= count + "0000000001";
else
  state <= Sresto1;
end if;
```

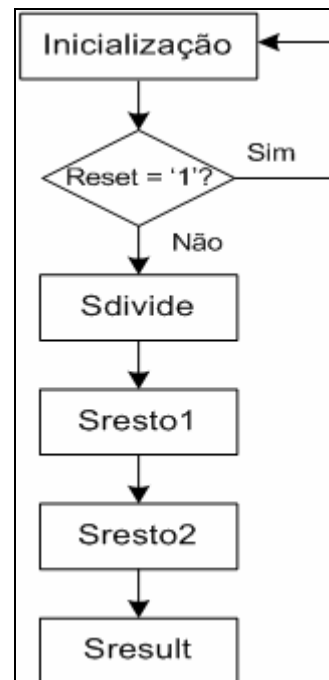


Figura 5: Máquina de estados da divisão e resto da divisão inteira.

```
when Sresto1 =>
  resto <= quociente * divisor;
  state <= Sresto2;
```

```
when Sresto2 =>
  resto(19 downto 0) <= ("0000000000" &
  dipsw1(9 downto 0)) - resto(19 downto 0);
  state <= Sresult;
```

No último estado, Sresult, é colocada uma *flag* com o valor lógico '1' de sinalização de terminação das operações.

## 6. User Constrains file

Como o total de pinos são 32, utilizaram-se 30 pinos da parte de baixo da placa DETIUA, onde se encontra a alimentação e a massa e dois pinos, um para reset para inicialização de uma operação e um para seleccionar a operação a realizar, do lado esquerdo da placa DETIUA.

Os pinos utilizados foram os seguintes com a respectiva correspondência aos pinos da FPGA:

- NET "clk80" TNM\_NET = "clk80";
- TIMESPEC "TS\_clk80" = PERIOD "clk80" 80 MHz HIGH 50 %;
- NET "clk80" LOC = "P79";
- NET "led<9>" LOC = "P180";
- NET "led<8>" LOC = "P182";
- NET "led<7>" LOC = "P184";
- NET "led<6>" LOC = "P187";
- NET "led<5>" LOC = "P190";
- NET "led<4>" LOC = "P194";
- NET "led<3>" LOC = "P197";
- NET "led<2>" LOC = "P199";
- NET "led<1>" LOC = "P203";
- NET "led<0>" LOC = "P205";
- NET "dipsw1<9>" LOC = "P178";
- NET "dipsw1<8>" LOC = "P181";
- NET "dipsw1<7>" LOC = "P183";
- NET "dipsw1<6>" LOC = "P185";
- NET "dipsw1<5>" LOC = "P189";
- NET "dipsw1<4>" LOC = "P191";
- NET "dipsw1<3>" LOC = "P196";
- NET "dipsw1<2>" LOC = "P198";
- NET "dipsw1<1>" LOC = "P200";
- NET "dipsw1<0>" LOC = "P204";
- NET "dipsw2<9>" LOC = "P15";
- NET "dipsw2<8>" LOC = "P18";
- NET "dipsw2<7>" LOC = "P20";
- NET "dipsw2<6>" LOC = "P22";
- NET "dipsw2<5>" LOC = "P26";
- NET "dipsw2<4>" LOC = "P27";
- NET "dipsw2<3>" LOC = "P24";
- NET "dipsw2<2>" LOC = "P21";
- NET "dipsw2<1>" LOC = "P19";
- NET "dipsw2<0>" LOC = "P16";
- NET "dipsw3<1>" LOC = "P175";
- NET "dipsw3<0>" LOC = "P176";

## 7. Programa de teste

Para utilizar o programa de teste deve-se proceder da seguinte maneira:

- Conectar a placa calculadora à placa DETIUA como indicado na figura 6.
- Colocar nos *dipswitchs* o valor dos operandos, no *dipswitch* da esquerda o valor do dividendo e no *dipswitch* direito o valor do divisor.

- Faz-se o reset da máquina de estados, provocando uma transição no sinal de reset, indicado na figura 6; esta transição é obtida deslocando o botão para cima e depois para baixo.
- Selecciona-se o resultado a visualizar nos *leds*, divisão e resto da divisão inteira, como indicado na figura 6.
- O botão de operação activa a divisão quando se encontra na posição de cima e activa o resto da divisão inteira quando se encontra para baixo.
- Operação = '1' – divisão;
- Operação = '0' – resto da divisão inteira.

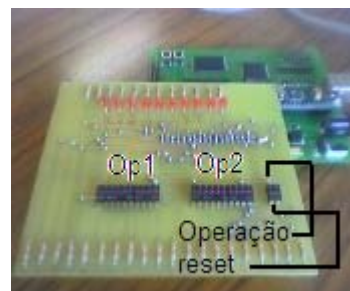


Figura 6: Placa Final

## 8. Conclusões

Conclui-se com sucesso o projecto final de SDR atingindo todos os objectivos propostos.