

Universidade de Aveiro

Sistemas digitais reconfiguráveis



Tarefa 2.1 da área 2

Cobertura mínima duma matriz binária

Problema:

Construir um circuito para encontrar a cobertura mínima duma matriz binária utilizando um algoritmo iterativo sugerido pelo professor. O algoritmo está representado no esquema da figura 1.

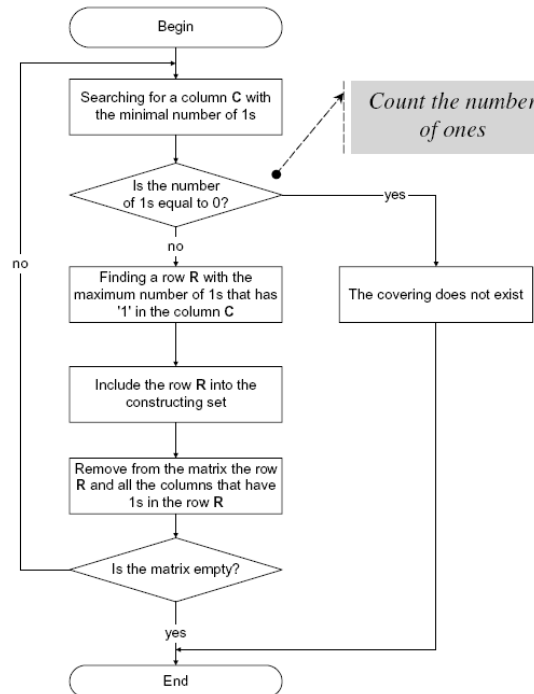


Figura 1

Abordagem do problema:

Para implementar o algoritmo, foram definidos 7 estados que são os seguintes:

- 1 → s0, begin
- 2 → s1, searching for a column C with the minimal number of 1s
- 3 → s2, is the number of 1s equal to 0?
- 4 → s3, finding a row R with the maximum number of 1s that has '1' in the column C
- 5 → s4, remove from the matrix the row R and all columns with 1s in the row R
- 6 → s5, is the matrix empty?
- 7 → s6, end.

O resultado do numero de linhas e colunas que compoem a matriz de cobertura minima será impresso no LCD da FPGA.

Projecto:

O projecto foi dividido em duas partes, a primeira parte, `min_cov`, contém a definição da matriz binária e o processamento para encontrar a cobertura mínima da mesma, a segunda parte, `lcd`, consiste na impressão do resultado no LCD da FPGA. O esquema do projecto desenvolvido está representado na figura 2.

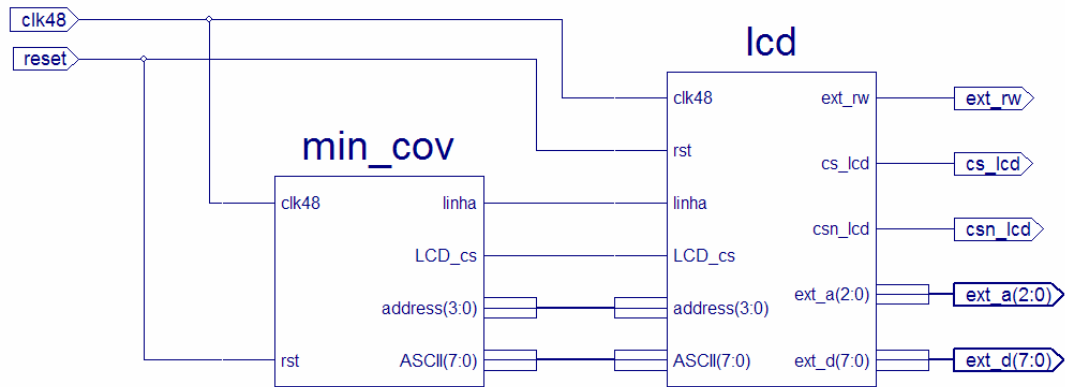


Figura 2

Resultados:

Mesmo com bastante tempo dedicado ao projecto, não fui capaz de o pôr a funcionar como desejaria. Foram abordadas algumas maneiras, em questões de código vhdl, para resolver o problema mas não fui capaz de encontrar uma que funcionasse correctamente. O projecto que vai em anexo inclui o código que eu considerei mais adequado para a resolução do problema, mas não fui capaz de descobrir a razão do mau funcionamento do mesmo ao determinar o número de linhas e colunas que compõem a matriz de cobertura mínima. Suspeito que o problema está na parte da eliminação das colunas e linhas da matriz, mas não fui capaz de arranjar outra maneira de o fazer.